

《Altium Designer实用宝典——FPGA设计(含光盘1张)》

书籍信息

版次：1

页数：

字数：

印刷时间：2008年05月01日

开本：16开

纸张：胶版纸

包装：平装

是否套装：否

国际标准书号ISBN：9787121061660

编辑推荐

Altium Designer改进了FPGA的JTAG功能，无须从物理PCB上访问管脚即可动态研究器件上的管脚状态。JTAG边界扫描可透明地监控器件上的信号状态，当Altium Designer系统连接到合适的开发板（如Altium独立于器件的NanoBoard，或具有JTAG接口器件的原型板或产品板）时，内置的实时JTAG浏览器可方便地查看所有JTAG器件上的管脚状态。

本书作为一本从入门级逐渐提高到熟练水平的教程，较为详细地介绍了Altium Designer系统设计FPGA项目的方法，以及软件的安装方法和参数配置方法。作者尽量以实际设计为例，从不同方面讲解：FPGA的设计方法，同时书中也详细地介绍了Altium Designer虚拟仪器的使用方法，为用户开发设计FPGA提供了方便。

内容简介

本书以Mtiium

Designer为开发平台，以实际设计实例为线索，从多个角度详细地介绍了在Altium Designer系统中设计FPGA项目的方法和步骤。书中以NanoBoard-NB1开发器为基础，详细地介绍了FPGA项目和嵌入式系统项目从设计到目标板实现的完整开发过程，以及NanoBoard—NB1开发器和系统中虚拟仪器的使用方法。本书配套光盘为Mtiium公司授权的Mtiium Designer软件*试用版、培训视频教程和部分参考资料。

本书可作为大专院校电子类、计算机类、自动化类、机电类专业的教材或教学参考书，也可供数字电子电路设计人员和大规模集成电路设计工程师参考。

目录

第1章 可编程逻辑器件基础

1.1 FPGA的基本结构

1.2 Altera公司FPGA简介

1.2.1 Cyclone系列FPGA简介

1.2.2 Stratix系列FPGA简介

1.2.3 Stratix GX系列FPGA简介

1.3 xilinx公司FPGA简介

1.3.1 Virrtex—II系列FPGA基本架构

1.3.2 Spatlan—IIE系列FPGA基本架构

第2章 Altium Designor的安装和激活

2.1 Altium Designer FPGA功能简介

2.2 Altium Designer FPGA开发的主要特点

2.3 Altium Designer的组成

- 2.3.1 基础部分组成
- 2.3.2 板卡设计部分组成
- 2.3.3 嵌入式智能设计部分组成
- 2.4 Altium Designer运行环境系统配置要求
- 2.5 Altium Designer的安装方法
- 2.6 Altium Designer的启动方法
- 2.7 单机版Altium Designer的激活
 - 2.7.1 通过网络申请单机版License
 - 2.7.2 通过E-Mail申请单机版License
 - 2.7.3 加载单机版License
- 2.8 网络版Altium Designer的激活
 - 2.8.1 安装网络许可服务器
 - 2.8.2 停止和运行网络许可服务器
 - 2.8.3 网络许可服务器的初始化
 - 2.8.4 申请网络版License
 - 2.8.5 加载网络版License
 - 2.8.6 设置网络版用户软件
- 第3章 配置Altium Designor
 - 3.1 Altium Designer初始界面
 - 3.1.1 初始界面菜单简介
 - 3.1.2 初始界面Home窗口简介
 - 3.1.3 工作面板标签
 - 3.2 系统参数设置
 - 3.2.1 系统常规参数 (System-General) 设置
 - 3.2.2 系统显示参数 (System-View) 设置
 - 3.2.3 系统升级参数 (System-Altium Web Update) 设置
 - 3.2.4 系统浮动视窗透明度参数 (System—Transparency) 设置
 - 3.2.5 系统导航参数 (System—Navigation) 设置
 - 3.2.6 系统自动备份参数 (System-Backup) 设置
 - 3.2.7 系统项目面板 (System-Projects Panel) 设置
 - 3.2.8 系统文件类型参数 (System—File Types) 设置
 - 3.2.9 系统新创建文档默认参数 (System—New Document Defaults) 设置
 - 3.2.10 系统文件锁定参数 (System—File Locking) 设置
 - 3.2.11 系统已加载的库文件参数 (System-Installed Libraries) 设置
 - 3.2.12 脚本系统参数 (System-Scripting System) 设置
 - 3.3 FPGA设计参数设置
 - 3.3.1 FPGA常规参数 (FPGA.General) 设置
 - 3.3.2 FPGA仿真编译器参数 (FPGA-Simulation Compiler) 设置
 - 3.3.3 FPGA仿真调试器参数 (FPGA—Simulation Debugger) 设置
 - 3.3.4 FPGA综合参数 (FPGA—Synthesis) 设置
 - 3.3.5 FPGA硬件设备显示参数 (FPGA—Devices View) 设置
 - 3.4 版本控制参数 (Version Control) 设置

3.4.1 版本控制常规参数 (Version Control-General) 设置

3.4.2 版本控制本地履历参数 (Version Contro1-Local History) 设置

3.4.3 版本控制SVN Libraries参数 (Version Control—SVN Libraries) 设置

3.5 仿真波形参数设置

第4章 FPGA设计实例

4.1 创建FPGA项目

4.1.1 从【Fies】面板中创建FPGA项目

4.1.2 从主页 (Home) 中创建FPGA项目

4.1.3 从主菜单中创建FPGA项目

4.2 VHDL语言设计单元电路实例

4.2.1 为项目添加VHDL文件

4.2.2 编辑VHDL文件

4.2.3 根据VHDL文件创建原理图元件符号

4.2.4 为新创建的原理图元件命名

4.2.5 为项目添加原理图文件

4.2.6 新创建元件的放置方法

4.3 FPGA项目设计实例

4.3.1 创建项目

4.3.2 为项目添加已有文件

4.3.3 BCD计数器项目文件内容

4.3.4 创建项目的VHDL元件库

4.3.5 编译库文件

4.3.6 创建项目元件库

4.3.7 编辑项目原理图

4.3.8 根据VHDL创建图纸符号

4.3.9 放置导线、总线和网络标签

4.4 创建VHDL测试平台

4.4.1 创建项目的VHDL程序

4.4.2 创建VHDL测试平台

4.5 设计项目仿真

4.5.1 仿真参数设置

4.5.2 仿真初始化

4.5.3设置断点

4.5.4 运行仿真

第5章 原理图符号设计FPGA项目

5.1 创建FPGA项目

5.2 为项目添加原理图文件

5.3 加载元件库

5.4 放置元件

5.5 放置输入 / 输出端口

5.6 移动元件及布局

5.7 放置导线

- 5.8 编辑原理图符号的管脚属性
- 5.9 放置总线 (Bus) 与总线入口 (Bus Entry)
 - 5.9.1 放置总线 (Bus)
 - 5.9.2 设置总线属性
 - 5.9.3 放置总线入口
 - 5.9.4 设置总线入口属性
- 5.10 放置网络标号 (Net Label) 与设置网络标号属性
 - 5.10.1 放置网络标号
 - 5.10.2 设置网络标号属性
- 5.11 自动标识元件
- 5.12 创建项目的VHDL文件
- 5.13 创建项目测试平台
- 5.14 项目仿真

第6章 Altium Designor FPGA设计资源

- 6.1 算术函数 (Arithmetic Function)
 - 6.1.1 算术函数命名规则
 - 6.1.2 浏览算术函数元件
- 6.2 缓冲器 (Buffer)
- 6.3 总线接口 (Bus Joiner)
 - 6.3.1 总线接口命名规则
 - 6.3.2 总线接口的功能
- 6.4 时钟信号分频器 (Clock Divider)
- 6.5 数字时钟管理器 (Clock Manager)
- 6.6 比较器 (Comparator)
- 6.7 计数器 (Counter)
- 6.8 处理器内核 (Processor core)
- 6.9 NanoBoard连接端口
- 6.10 设计实例

第7章 管脚约束文件和配置

- 7.1 创建约束文件
- 7.2 约束文件的语法结构
 - 7.2.1 语法结构
 - 7.2.2 常用标识符简介
 - 7.2.3 约束文件实例
- 7.3 编辑新的约束文件
 - 7.3.1 指定器件约束
 - 7.3.2 指定端口约束
 - 7.3.3 指定端口管脚
- 7.4 自动导入项目的端口约束
- 7.5 导入FPGA管脚约束文件
- 7.6 信号约束
- 7.7 FPGA的管脚配置

7.7.1 为项目添加已有的约束文件

7.7.2 建立项目的管脚配置

第8章 NanoBoard—NB1开发器

8.1 NanoBoard开发器简介

8.1.1 NanoBoard-NB1简介

8.1.2 Desktop NanoBoard

8.2 NanoBoard—NB1开发器标准配置

8.3 NanoBoard—NB1开发器主要接口

8.4 升级NanoBoards—NB1驱动软件

8.5 独立配置

8.6 NanoBoards—NB1开发器测试

8.6.1 NanoBoard RAM测试

8.6.2 Altium Designer控制NanoBoards—NB1的方法

8.6.3 NanoBoards—NB1主要功能测试

8.7 子板

第9章 FPGA综合布线设计实例

9.1 打开项目

9.2 创建约束文件

9.2.1 为项目添加约束文件

9.2.2 选择FPGA芯片

9.2.3 添加端口约束

9.2.4 添加信号约束

9.3 添加管脚配置

9.4 项目结构文件

9.5 编译和综合

9.5.1 启动LiveDesign设计环境

9.5.2 设定硬件芯片

9.5.3 第三方开发工具的挂接

9.5.4 编译项目进程 (Compile)

9.5.5 项目综合进程 (Synthesize)

9.6 布局布线进程 (Build)

9.6.1 转换设计【 Translate Design 】

9.6.2 映射【 Map Design To FPGA 】

9.6.3 布局与布线【 Place and Route 】

9.6.4 时序分析【 Timing Analysis 】

9.6.5 创建Bit文件【 Make Bit File 】

9.7 下载Bit文件

第10章 嵌入式系统设计

10.1 嵌入式系统简介

10.1.1 嵌入式系统的定义

10.1.2 Altium Designer嵌入式系统设计简介

10.1.3 Altium Designer嵌入式系统设计步骤

- 10.1.4 Altium Designer嵌入式系统设计基本知识
 - 10.2 创建一个新的FPGA项目
 - 10.3 绘制原理图
 - 10.3.1 检索元件及添加元件库
 - 10.3.2 放置元件
 - 10.3.3 放置导线、总线和总线连接器
 - 10.3.4 放置电源端口
 - 10.3.5 元件自动标识
 - 10.3.6 放置忽略ERC检查指示符
 - 10.4 创建嵌入式软件项目
 - 10.4.1 创建嵌入式软件项目
 - 10.4.2 编写c语言程序
 - 10.5 设置嵌入式软件项目选项参数
 - 10.6 设置项目间的关联属性
 - 10.6.1 设置处理器属性
 - 10.6.2 建立项目关联体系
 - 10.7 为项目添加配置
 - 10.8 编译项目产生的文件简介
 - 10.9 下载验证设计
- 第11章 设备控制器和虚拟仪器
- 11.1 NanoBoard控制器 (NanoBoard Controller)
 - 11.1.1 开发器时钟频率设置
 - 11.1.2 子板引导程序操作
 - 11.1.3 调用开发器闪存的方法
 - 11.2 硬件设备控制器 (Hard : Devices)
 - 11.3 频率发生器 (CLKGEN)
 - 11.3.1 原理图中放置CLKGEN
 - 11.3.2 频率发生器控制器
 - 11.4 频率计数器 (FRQCNT2)
 - 11.4.1 原理图中放置FRQCNT2
 - 11.4.2 频率计数器控制器
 - 11.5 数字I / O模块IOB_X
 - 11.5.1 原理图中放置IOB_X
 - 11.5.2 数字I / O模块控制器
 - 11.6 逻辑分析仪LAX_X
 - 11.6.1 原理图中放置LAN_X
 - 11.6.2 逻辑分析仪控制器

在线试读部分章节

第1章 可编程逻辑器件基础

可编程逻辑器件的英文名称为PLD (Programmable Logic Devices)，分为简单PLD和复杂PLD。简单PLD分为PROM、PLA、PAL、GAL；复杂PLD分为复杂可编程逻辑器件CPLD (Complex Programmable Logic Device) 和现场可编程逻辑门阵列FPGA (Field Programmable Gate Array)。

CPLD和FPGA都具有体系结构和逻辑单元灵活、集成度高以及适用范围广的特点。这两种器件兼容了简单PLD和通用门阵列的优点，可实现较大规模的逻辑电路，编程也很灵活。与专用集成电路ASIC (Application Specific Integrated Circuit) 相比，具有设计开发周期短、设计制造成本低、开发工具先进、标准产品无须测试、质量稳定以及可实时在线检验等优点。

1.1 FPGA的基本结构

FPGA的基本结构由六大部分构成，分别为基本可编程逻辑模块、可编程输入/输出模块、嵌入式块RAM、丰富的布线资源、底层嵌入功能单元和内嵌专用硬核等。

1.基本可编程逻辑模块CLB (Configurable Logic Block)

CLB构成了可编程逻辑器件的逻辑组成核心，即中间排成行和列的逻辑单元可编程，可以实现组合逻辑电路和时序逻辑电路，在逻辑模块里有实现组合逻辑和集成的元件触发器。

FPGA的基本可编程逻辑模块是由查找表 (LUT, Look Up Table) 和寄存器 (Register) 组成的，查找表一般完成纯组合逻辑功能。FPGA内部寄存器可配置为带同步/异步复位和置位、时钟使能的触发器 (FF, Flip Flop)，也可以配置成为锁存器 (Latch)。FPGA一般依赖寄存器完成同步时序逻辑设计。一般来说，比较经典的基本可编程模块的配置是一个寄存器加一个查找表，但不同厂商的寄存器和查找表的内部结构有一定的差异，而且寄存器和查找表的组合模式也不同。

学习底层配置单元的LUT和Register比率的一个重要意义在于器件选型和规模估算。由于FPGA内部除了基本可编程逻辑单元外，还有嵌入式的RAM、PLL (或者是DLL)、专用的Hard IP Core等，这些模块也能等效出一定规模的系统门，所以简单而科学的方法是用器件的Register或LUT的数量衡量。

.....

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

[更多资源请访问www.tushupdf.com](http://www.tushupdf.com)